

JAPAN PATENT OFFICE (JP)  
PATENT APPLICATION PUBLICATION  
PATENT PUBLICATION OFFICIAL REPORT (A)  
SHO61-141174  
Int. Cl. 4 H 01 L 27/14, H 04 N 5/335  
IDENTIFICATION NUMBER:  
IN-OFFICE SERIAL NUMBER : 7525-5F, 8420-5C  
PUBLICATION: June 28, 1986  
SUBSTANTIVE EXAMINATION: NOT REQUESTED  
THE NUMBER OF INVENTION: 1 (total 4 pages)

---

1. Title of the Invention: Solid state image pickup device  
Patent Application Sho 59-263366  
Application December 13, 1984

2. Inventor(s)  
Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Tetsuyoshi TAKESHITA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Hajime KURIHARA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Hideaki OKA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Kazumasa HASEGAWA

3. Applicant  
Address: 2-4-1, nishi-shinjyuku, Shinjyuku-ku, Tokyo  
Name: SEIKO EPSON CORPORATION

4. Attorney  
Patent attorney: Tsutomu MOGAMI

## SPECIFICATION

### 1. Title of the Invention

Solid state image pickup device

### 2. Scope of Claim for Patent

5       1. A solid state image pickup device of a type of detecting an amount of stored/discharged charges by a light receptive element formed on an insulating substrate, characterized in that a capacitor is provided with an upper electrode in parallel with said light receptive element by oxidizing a portion of a lower electrode of the light receptive element.

10       2. The solid state image pickup device according to claim 1 characterized in that an amorphous silicon is used as the light receptive element, chromium or aluminum is used as the lower electrode and an additional capacitance of an oxide film is formed simultaneously with photoetching the amorphous silicon film.

### 15 3. Detailed Description of the Invention

#### "Field of the Invention in Industry"

The present invention relates to a solid state image pickup device utilizing solid state image pickup elements.

#### "Prior art"

20       Conventionally, CCD type or MOS type is practicable as a solid state image pickup element. In compared with an image pickup tube, the solid state image pickup element is proof against vibration and clash. The solid state image pickup element is characterized in very little power consumption to be used for a long span. Further, MOS type has bigger  
25       numerical aperture and has no limit of the amount of transfer charge compared to CCD type, so that a lot of signal can be output. However, MOS type has a defect of occurring a great noise. Fig. 3 shows a drawing of typical MOS type circuit. Referring to the drawing, the cause of noise occurrence will be described. The noise is caused by horizontal MOS FET  
30       switch which opens or closes a circuit. It is most serious problem, which causes in the case that a wiring capacitance on vertical lines  $V_1$  to  $V_n$  is large and electrode-substrate capacitance of transistors formed on  $V_1$  to  $V_n$  is large, so that noise charge which remains on the lines is read out. There is no comparison between the amount of noise and the capacitance of

the receptive portion, so that the S/N ratio is considerably decreased. In addition to the above mentioned problem of noise, there is one more problem of smear for both CCD type and MOS type. One of reasons is due to occurrence charge caused by light, which is incident upon the other portion in addition to the receptive portion, is signal lines.

Therefore, elements in thin film form is formed by utilizing an insulator as a substrate, so that wiring capacitance is considerably reduced. Further, S/N ratio is increased by forming additional capacitor on the receptive element. For example, as the additional capacitor, a thin film such as  $\text{SiO}_2$  or  $\text{Y}_2\text{O}_3$  is deposited in addition.

#### "Problem To Be Solved By The Invention"

However, in the above mentioned prior art, an additional thin film has to be formed in order to connect a receptive element with an additional capacitor. Therefore, process steps will increase to cause cost up. As a result, noise will be caused because a thin film will not be formed uniformly.

Therefore, the present invention will solve the problem. An object of the present invention is to provide a solid state image pickup device having an additional capacitor with high evenness in parallel with the receptive element without increasing the process steps.

#### "Means To Solve The Problem"

The solid state image pickup device in the present invention is characterized in that the additional capacitor with high evenness can be easily formed in parallel with the receptive element by a method wherein a part of lower electrode of receptive element is oxidized by utilizing receptive element portion as a mask to provide a capacitor between upper and lower electrodes.

In particular, the present invention is utilized an oxidation film formed by a method wherein receptive element is performed photoetching by the technique of dry etching using Freon gas comprising oxygen. Moreover, the present invention utilizes an amorphous silicon for the portion of receptive element and a polycrystalline silicon for the drive portion, respectively. Through these procedures, the solid state image pickup device having small amount of smear can be formed increasing sensitivity and saturated light quantity.

#### "Performance"

According to the above mentioned structure in the present invention, an oxidation film formed on lower electrode of a receptive element will be

an additional capacitor between lower electrode and upper electrode. As a result, the solid state image pickup element having small noise will be formed increasing saturated light quantity and S/N ratio.

"Example"

5        Fig. 1 shows a configuration drawing in accordance with the present example of the present invention. Any receptive element or switching element can be used for a semiconductor substrate. In the present invention, an amorphous silicon photodiode is used as a receptive element, and poly-silicon TFT is used as a switching element, respectively. Fig. 2  
10 shows an equivalent circuit of Fig. 1. In Fig. 1, (a) shows a cross sectional view and (b) shows a plan view. Process steps will be described as follows. A non-doped polycrystalline silicon layer 102 is formed on an insulating substrate 101 such as quartz glass and after forming a gate insulating film by thermal oxidation, a second polycrystalline silicon 103 to be a gate  
15 electrode is formed to be also a gate line. Subsequently, ion is implanted to provide a source and drain electrode. Then, after forming  $\text{SiO}_2$  or the like as an interlayer insulating film 104, a contact hole is formed and a vertical line 105 is formed with a conductive material such as Al, upon which a polyimide resin or the like 106 is formed for leveling as an interlayer  
20 insulating film. Usually, poly-silicon TFTs are formed by the above mentioned method. Significant process steps according to the present invention will be described as follows. After forming a contact hole on the interlayer insulating film, a conductive thin film 107 is formed by using such as Cr or Al as lower electrode of pixel. This conductive thin film 107  
25 should be easily oxidized and the oxide film should be high resistivity and dense since it is oxidized after the formation of the receptive film 108 using the receptive film(a photo resist may be disposed thereon) as a mask in order to form an additional capacitor. As an oxidation method, it can be considered various kinds of method, however, in case that a receptive film  
30 108 is etched by plasma using oxygen and Freon, an oxidation film 109 is formed as a necessary result, so that there is no need to add oxidation process. After oxidation by the method, oxide plasma treatment may be further conducted, or oxidation with thermal nitric acid or steam oxidation may be conducted. Table 1 shows a characteristic example of forming a  
35 lower electrode 107 by using oxidation of Cr and Al-Si and in accordance with the present example. Here, the receptive film thin 108 is an amorphous silicon (referred to a-Si, hereinafter) formed by GD plasma CVD,

and 110 may be any transparent conductive electrode (upper electrode), here, ITO.

Table 1

CONDITION	ELEMENT CAPACITY (pF/100 $\mu$ m <sup>2</sup> )	INSULATION PROPERTY
(1) a-Si is etched by using CF <sub>4</sub> +O <sub>2</sub>	0.2	good
(2) O <sub>2</sub> plasma treatment in addition to (1)	0.5	best
(3) thermal nitrate treatment in addition to (1)	0.5	good
(4) using Al-Si as electrode with condition (2)	0.2	regular
(5) oxidation by steam using Al-Si as electrode	0.3	good

Note) An electrode used in conditions (1) to (3) is Cr.

5 In the table 1, an amount of the element capacity is calculated by adding capacitance of a-Si to additional capacitor of an oxidation film. The capacitance of a-Si is approximately 0.01pF/100 $\mu$  m<sup>2</sup>. Regarding to the uniformity, the condition (3) is best of all. Under the condition (3), dispersion of all elements is within a range of  $\pm 1\%$ , and under the other  
10 conditions, it is within a range of  $\pm 2.5\%$ . In any way, it is easier than the case of forming SiO<sub>2</sub> or dielectric thin film in additional process and probability of dispersion is small. (in case of SiO<sub>2</sub>, the dispersion is within a range of  $\pm 5\%$ )

Referring to the equivalent circuit in Fig. 2, through the above  
15 mentioned process, the circuit is provided with an additional capacitor Ca in parallel with the receptive element Dil.

Moreover, metal is used as a lower electrode in the above mentioned example. Instead of using the metal, by using low resistance amorphous silicon which is doped impurities, an oxidation may be performed to form  
20 SiO<sub>2</sub> in order to use the SiO<sub>2</sub> as an additional capacitor.

"The effect of the Invention"

As mentioned above, according to the present invention, since the additional capacitor having a high uniformity can be formed extremely

easily and inexpensively without increasing the process steps by using the pattern of a thin film receptive element as a mask, it is possible to easily obtain excellent solid image pickup devices with low cost having a large S/N ratio and a large saturated light quantity.

5        4. Brief Explanation of The Drawings

Fig. 1 is example of a solid state image pickup device in the present invention wherein (a) is a cross sectional view and (b) is a plan view.

Fig. 2 is a equivalent circuit drawing of the example.

10       Fig. 3 is a usual circuit drawing of MOS type solid state image pickup device.

- 101---substrate
- 103---gate electrode
- 105---vertical line
- 107---lower electrode
- 15 108---receptive thin film
- 109---oxidation film
- 110---upper electrode

Applicant    Suwa seiko-sha  
Attorney     Tsutomu Mogami

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭61-141174

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)6月23日

H 01 L 27/14  
H 04 N 5/335

7525-5F  
8420-5C

審査請求 未請求 発明の数 1 (全1頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 昭59-263366

⑯ 出 願 昭59(1984)12月13日

⑰ 発 明 者 竹 下 哲 義 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑱ 発 明 者 栗 原 一 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑲ 発 明 者 岡 秀 明 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑳ 発 明 者 長 谷 川 和 正 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会 社  
㉒ 代 理 人 弁理士 最 上 務

明 題 書

1 発明の名称

固体撮像装置

2 特許請求の範囲

(1) 絶縁性基板上に形成した受光素子の表面は電圧電流を導出する形式の固体撮像装置において該受光素子の下部電極の一部を酸化することによって上部電極との間に該受光素子と並列に容量を設けたことを特徴とする固体撮像装置。

(2) 受光素子として非晶質シリコン、そして下部電極にクロムもしくはアルミニウムを用いた受光素子で、非晶質シリコンのフォトリソニングと同時に酸化膜の付加容量成分を形成することを特徴とする特許請求の範囲第1項記載の固体撮像装置。

3 発明の詳細な説明

(発明上の利用分野)

本発明は、固体撮像素子を用いた固体撮像装置に関するものである。

(従来の技術)

従来、固体撮像素子としてCCD型やMOS型が実用化されている。固体撮像素子は撮像素子に比べて駆動や演算に強く、消費電力が少なく、長寿命であるなどの利点がある。さらに、CCD型とMOS型を比べると、MOS型はCCD型よりも開口率が大きくて、駆動電圧の増強がないので大きな信号量が取り出せる。しかし、MOS型は雑音が大きいため欠点を有する。第3図に代表的なMOS型の回路模式図をのけると、この図を用いて雑音の発生原因をのべると、受光部の回路は素子MOSFETとスイッチの両方にともなり雑音であり、これは素子 $V_{gs}$ 、 $V_{ds}$ の配線に起因し、さらに $V_{gs}$ 、 $V_{ds}$ についているトランジスタの電流-電圧特性が大きいためにトランジスタに流れている雑音電流を発生出してしまふことにより、これは、受光部の容量に比べてばたきになり、このためMOS型の大きな欠点となる。以上の

雑音の低減に解決しなければならぬ問題点がある。これはこの装置もVLSI型にも用いられその原因の一つに受光部以外に入射した光による寄生電荷がゲートラインに流入することによる。

そこで、半導体絶縁物を用いて素子を薄層化することによって寄生電荷を大きく低減させ、さらに受光素子に付加容量を設けてS/N比を上げる方法が考えられる。たとえば、付加容量として $SiO_2$ や $Si_3N_4$ などの薄膜を新たに設ける方法がある。

〔発明が解決しようとする問題点〕

しかし前述の従来技術では受光素子に付加容量を設けるのと新たに薄膜を設けてやらねばならぬために製造工程が増え、コストが増加するとともに、薄膜が一様に形成されにくいために雑音に結びつくことになる。

そこで本発明はこのような問題点を解決するため、その目的とするところは、製造工程を増やすことなく均一な付加容量を受光素子に並列に設けた固体増倍装置を提供するところにある。

〔問題点を解決するための手段〕

本発明の固体増倍装置は、受光素子部分をアノードとして受光素子の下部電極の一部を酸化することによって形成される酸化層が上部電極との間で増倍容量とすること、容易に均一な付加容量が受光素子と並列に設けられることができることを特徴とする。

または受光素子のフォトエッチングに酸化剤用のフロンガスを用いたドライエッチング技術を用いることで必然的にできる酸化層を利用する。また、受光素子部分に非晶質シリコンを用い、ドライ部分に多結晶シリコンを用いることでS/N比の少ない高感度かつ飽和光量の大きい固体増倍素子となる。

〔作用〕

本発明の上記の構成によれば、受光素子の下部電極に形成される酸化層が下部電極と上部電極の間で素子の付加容量となり、飽和光量を抑えたとともに高S/N比の低雑音固体増倍素子となる。

〔実施例〕

図1図は、本発明の実施例における断面図であ

る。受光素子及びスイッチング素子は半導体薄膜ならばいかなるものでも利用は可能であるが、ここでは受光素子として非晶質シリコンのフォトイオード、スイッチング素子として多結晶シリコンを用いて代表させる。第2図は第1図の平面図である。第1図において(a)は断面図、(b)は平面図であり、製造工程としては以下に示す様になる。石英ガラスなどの絶縁基板101上にノンドープの多結晶シリコン層102を形成、熱酸化法でゲート絶縁層を形成後にゲート電極となる第2の多結晶シリコン層103を形成する。これはまたゲート・ラインともなる。その後イオン打込みによりソースとドレイン電極を設ける。次に増倍絶縁層104として $SiO_2$ などを形成した後、コンタクトホールを形成し導通ライン105をAZなどの導電性物質で形成し、その上に増倍絶縁層を設けて平坦化のためにポリイミド樹脂層を106として形成する。以上は一般的な多結晶シリコンMOSの形成方法であり、これから増倍素子に關して書き加える工程である。増倍絶縁層をコンタ

クトホールを形成した後、高真空の下部電極としてCrやAZなどで導電性薄膜107を形成するが、ここでこの薄膜は108の受光層を形成するためにこの薄膜(ホトレジストがついている場合もある)をマスクして107の導電性薄膜を酸化して付加容量部109とするため、酸化が容易で酸化層が高抵抗で緻密でなくてはならない。酸化方法としては種々の方法が考えられるが、108の受光層を形成とフロンプラズマでエッチングする場合に必然的に酸化層109が形成され、ならぬ酸化工程を省く必要はない。この方法で酸化した後にはさらに酸化プラズマ処理したり、熱処理などで酸化してもよく、水蒸気酸化などもよい。本実施例でこれらの酸化方法でCrとAZ-Siを下部電極107として形成した場合の特性例を図1表に示す。ここで、104の受光層は0.3μmプラズマCVD法で形成した非晶質シリコン(以下、a-Siと略す)、105は導通電極(上部電極)ならばいかなるものでもよいが、ここではITOを用いている。



条 件	電子容量( $\text{e}^-/\text{100 nm}^2$ )	絶縁性
(1) $\text{CP}_2 - \text{O}_2$ で $\alpha - \text{Si}$ を エッチング	0.2	良
(2) (1)に加えて $\text{O}_2$ プラズマ 処理	1.5	最 良
(3) (1)に加えて 熱酸化処理	0.5	良
(4) 電極に $\text{AL} - \text{Si}$ を用い (2)の条件	0.2	正
(5) 電極に $\text{AL} - \text{Si}$ を 用いて水素気で酸化	0.3	良

注) (1)～(3)の下部電極は  $\text{Cr}$  である。

表 1 表

表 1 表で電子容量は  $\alpha - \text{Si}$  の容量と酸化膜の付加容量との和であるが、 $\alpha - \text{Si}$  の容量は  $0.01 \text{ e}^-/\text{100 nm}^2$  程度である。均一性に関しては、(3)の条件がもっとも良く全素子でのバラツキは  $\pm 1$  以内であり、他は  $\pm 2.5$  以内である。いずれに

(a)は断面図で、(b)は平面図である。

図 2 図は実施例の電極回路図である。

図 3 図は一般的な MOS 型固体撮像装置の回路図である。

- 101 ..... 基板
- 103 ..... ゲート電極
- 105 ..... 垂直ライン
- 107 ..... 下部電極
- 108 ..... 受光層
- 109 ..... 酸化膜
- 110 ..... 上部電極

以 上

出 願 人 株式会社 東 武 研 究 所

代 理 人 特 許 士 最 上



てもこれらは  $\text{SiO}_2$  や誘電率等を別途に形成するは  
けよりも著しく容易であり、バラツキも少ない  
( $\text{SiO}_2$  の場合は  $\pm 5$  程度)。

図 2 図の電極回路であると、以下の工程により  
受光素子  $302$  に付加容量  $202$  が並列についた画素と  
なる。

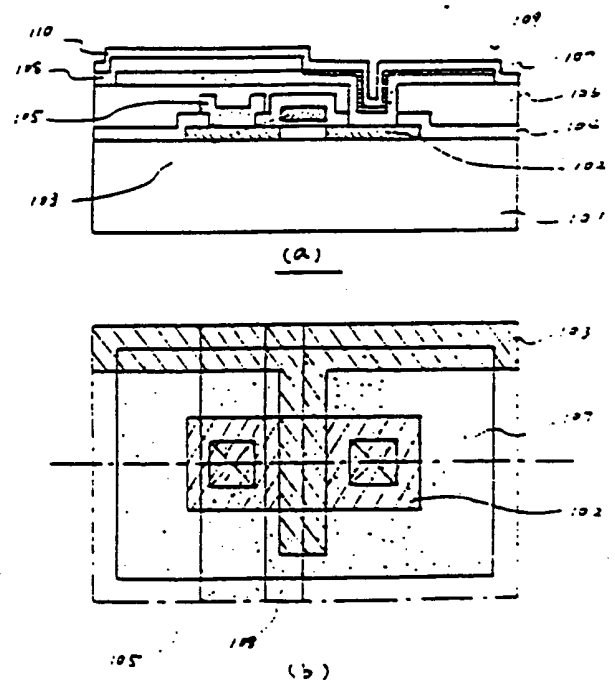
また上記例では下部電極として金属を用いたが  
不純物ドーピングされた低抵抗非晶質シリコンを  
用いて、酸化を行ない  $\text{SiO}_2$  を形成して付加容量と  
して用いることもできる。

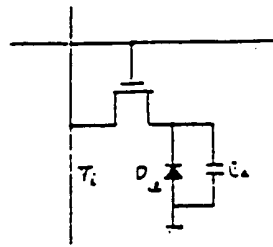
(発明の効果)

以上述べたように本発明によれば、画素受光素  
子のパターンをマスクとすることで製造工程を簡  
易なことなく、著しく容易に均一性の高い付加容  
量を形成できるために  $S/N$  比が大きく、飽和電量  
の大きいすぐれた固体撮像装置を低コストで容易  
に造ることができる。

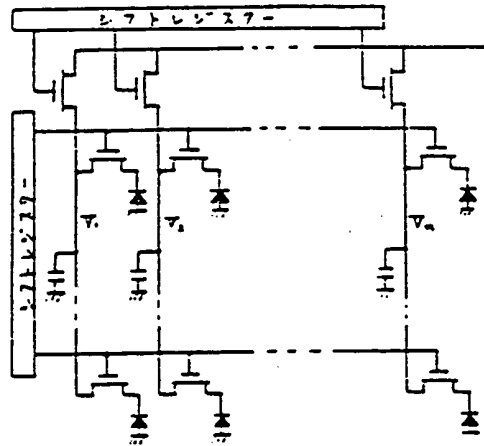
#### 1. 図面の簡単な説明

図 1 図は本発明の固体撮像装置の実施例である。





第 2 図



第 3 図